

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330934

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/321  
21/66

識別記号

庁内整理番号

F I  
H 01 L 21/92  
21/66  
21/92

技術表示箇所  
602P  
E  
602Z  
604T

審査請求 未請求 請求項の数10 FD (全9頁)

(21) 出願番号 特願平8-171664

(22) 出願日 平成8年(1996)6月12日

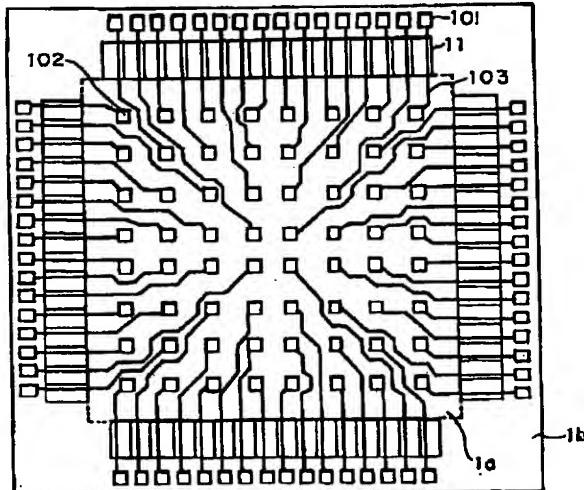
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 吉田 章人  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内  
(74) 代理人 弁理士 竹村 勤

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置に形成される入出力端子がダイソート端子部101とバンプを有する入出力端子部102とからなり従来のプロープカードを用いてもダイソートが容易に行うことができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板1には、入出力端子及び入出力回路が形成されている。半導体基板1の主面は、集積回路が形成されている内部領域部1aと入出力回路11が形成されている周辺領域部1bに分けられる。入出力回路11は、両領域の境界に配置されている。入出力端子は、周辺領域1bに配置され、バンプの形成されないテスト用のダイソート端子部101と内部領域1aに配置され、バンプが形成された接続用の入出力端子部102とから構成されている。ダイソート端子部101と入出力端子部102とは、例えば、両端子部を構成する金属配線より下層の接続配線103により電気的に接続されている。



## 【特許請求の範囲】

【請求項1】 半導体基板と、  
前記半導体基板上に形成された複数の入出力端子とを備え、  
前記入出力端子は、前記半導体基板上の周辺領域に設けられたダイソート端子部と前記半導体基板上の内部領域に設けられ、バンプが形成されている入出力端子部とを有し、このダイソート端子部と入出力端子部とは電気的に接続されていることを特徴とする半導体装置。

【請求項2】 前記半導体基板の前記周辺領域には前記半導体基板の辺に沿って入出力回路部が形成されており、前記ダイソート端子部は、この入出力回路部と前記半導体基板の辺との間に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記入出力端子部は、前記半導体基板上の内部領域において等間隔に配列されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記入出力端子部は、略正方形であり、その対向する2辺に平行な中心線は、前記半導体基板の任意の辺に対して45度傾いていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記半導体基板上には金属配線から構成された多層配線が形成されており、この多層配線の前記入出力端子部と前記ダイソート端子部とを電気的に接続する配線には、この多層配線の所定の層の配線を用い、前記入出力端子部及び前記ダイソート端子部にはこの所定の層の配線より上層の配線を用いることを特徴とする請求項1乃至請求項4のいづれかに記載の半導体装置。

【請求項6】 ダイソート端子部のない入出力端子部のみからなる入出力端子をさらに有することを有する請求項1乃至請求項5のいづれかに記載の半導体装置。

【請求項7】 前記ダイソート端子部は、表面に導電性の耐エッチング性保護膜が被覆されている金属配線からなることを特徴とする請求項1乃至請求項6のいづれかに記載の半導体装置。

【請求項8】 前記耐エッチング性保護膜は、前記バリアメタルをエッティングするエッティング液に対してこのバリアメタルより耐エッチング性が高いことを特徴とする請求項7に記載の半導体装置。

【請求項9】 半導体基板上に金属膜を形成する工程と、  
前記金属膜をバターニングして前記半導体基板の内部領域上に金属配線からなる複数の入出力端子部と、前記半導体基板の周辺領域上に金属配線からなり、この入出力端子部とは電気的に接続されているダイソート端子部とを形成する工程と、

前記入出力端子部及び前記ダイソート端子部の前記金属配線上に導電性の耐エッチング保護膜を形成する工程と、  
前記半導体基板上にバリアメタル形成用金属膜を形成す

る工程と、

前記入出力端子部の上に前記耐エッティング保護膜及び前記バリアメタル形成用金属膜を介してバンプを形成する工程と、

前記バリアメタル形成用金属膜をバターニングして、前記入出力端子部の前記バンプと前記耐エッティング保護膜との間にバリアメタルを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に金属膜を形成する工程と、

前記金属膜上に導電性の耐エッティング保護膜を形成する工程と、

前記金属膜及び前記耐エッティング保護膜をバターニングして前記半導体基板の内部領域上に前記耐エッティング保護膜で被覆された金属配線からなる複数の入出力端子部と、前記半導体基板の周辺領域上に前記耐エッティング保護膜で被覆された金属配線からなり、この入出力端子部とは電気的に接続されているダイソート端子部とを形成する工程と、

20 前記半導体基板上にバリアメタル形成用金属膜を形成する工程と、

前記入出力端子部の上に前記耐エッティング保護膜及び前記バリアメタル形成用金属膜を介してバンプを形成する工程と、

前記バリアメタル形成用金属膜をバターニングして、前記入出力端子部の前記バンプと前記耐エッティング保護膜との間にバリアメタルを形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、回路基板に半導体素子（チップ）がはんだバンプなどの突起電極（バンプ）を介して接続された構造（フリップチップ構造）の半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 従来、半導体素子を回路基板に搭載するには、半導体素子（以下、チップという）から導出した複数のリード先端を回路基板上の配線パターンに電気的に接続するか、あるいは、半導体素子を直接回路基板に搭載し、ワイヤボンディング、T A B (Tape Automated Bonding)により電気的に接続するなどの方法がある。しかし、チップからリードを突出させて回路基板に取付けることは、半導体装置の高密度実装化に対する大きな障害になっている。特に近年、半導体装置の用途は多様化し、さらに高密度実装化が進んでおり、例えば、メモリカードのような薄い回路基板を用い、しかもメモリ素子の実装数も増加する傾向にある。このような事情の中で、リードを用いてチップを実装することには限界がある。そこで、チップに形成した複数の接続電極（パッド）にバンプもしくはバンプ取り付けこれを直接回路基

3

板の配線パターンに接続するフリップチップ構造が注目されるようになった。

【0003】図9は、シリコン半導体を基板とするチップを回路基板にフリップチップ実装した従来の半導体装置の断面図、図10は、半導体基板のバンプを有する正面を示す平面図、図11はバンプを有する入出力端子を説明する半導体基板の断面図である。半導体基板1は、その正面に内部の集積回路に電気的に接続されたパッドとして用いられるアルミニウムなどのパッド電極7と、このパッド電極7の上に接続され、鉛(Pb)、錫(Sn)などを主成分とする低融点金属のはんだバンプから構成された高さ約 $100\mu m$ のバンプ3を備えている。図10に示された半導体基板1の正面に形成された入出力端子10は、バンプ3とパッド電極7とを備え、通常バンプ3とパッド電極7との間にはバリアメタルが介在されている。この回路基板2には少なくとも1つのチップが実装される。半導体基板1上の複数のバンプ3は、回路基板2の表面に形成された配線パターン(図示せず)に接続されたパッド電極(以下、基板パッドといいう)8に電気的に接続することによって回路基板2に搭載される。バンプ3は、低融点金属以外にも金を使用することもあるし、絶縁性の球状体の表面に導電層を形成したものを用いることもある。低融点金属としてはPb-Sn、In-Snはんだなどが知られている。回路基板2には、ガラス基材にエポキシ樹脂を含浸させて積層してなるプリント基板、セラミック基板、シリコン半導体基板等が用いられている。また、半導体基板1と回路基板2との間には樹脂封止体を充填させることもできる。

【0004】半導体基板1の正面は、内部領域1aと周辺領域1bに分けられる。内部領域1aには、半導体基板1の内部に形成された内部回路の集積回路20が形成されている。周辺領域1bの内部領域1aに近接した領域には入出力回路11が形成され、前記入出力端子10は、この入出力回路11を介して集積回路20に電気的に接続される。図11を参照して半導体基板上のバンプを有するパッドの構造を説明する。半導体基板1の表面の絶縁膜4の上に半導体基板内部に形成されている集積回路と電気的に接続されたアルミニウムなどのパッド7が形成されている。パッド7は、SiO<sub>2</sub>などの絶縁膜5で保護されている。パッド7の表面に絶縁膜5の開口部が形成され、パッド7が露出されている。この開口部には、バリヤメタル膜9で被覆されており、バリアメタル9は、パッド7と電気的に接続されている。バンプ3はこのバリアメタル9の上に取り付けられている。バリヤメタル膜9には、Pd/Ni/Ti、TiW、Ti/Ti/Wなどが用いられている。

【0005】

【発明が解決しようとする課題】このように、従来のTABやフリップチップ構造の半導体装置の入出力端子

10

は、半導体基板の外周に沿って周辺領域に設けられている。そして、チップもしくはウェーハ状態での集積回路の良／不良品判定(以下、ダイソートという)は、その入出力端子のバンプ3にプローブカード12に植設されたプローブ針6を当てて、電気的な試験が行われていた(図12参照)。ところが最近では、素子の微細化とともにあって同じ機能を持つ半導体装置がより小さく実現できるようになつた一方で、接続技術の限界から入出力端子のピッチをこれ以上狭くするのが困難になった。そこで半導体基板の外周に入出力端子を設けただけでは端子数が足りなく、半導体基板の正面全体に入出力端子を配置するような構造が考えられた(図13)。図において、チップの入出力端子10は、半導体基板1の正面の集積回路が形成されている内部領域及び周辺領域上に配列されている。

20

【0006】しかし、図13の構造のチップにはつきのような欠点があった。即ちダイソートを従来のプローブカードに植設したプローブ針を用いるのでは、すべての入出力端子に針を当てることができないということである。このような問題を解決するためにはプローブ針を半導体基板正面全体に配置できるプローブカードが必要であるが、このような構造のプローブカードを用いても、その上から半導体基板の入出力端子とプローブ針との位置合わせを行うことは非常に難しいという問題をさらにつ発生させることになる。本発明は、このような事情により成されたものであり、従来のプローブカードを用いてもダイソートが容易に行うことができる構造の入出力端子を備えた半導体装置及びその製造方法を提供する。

【0007】

30

【課題を解決するための手段】本発明は、半導体装置に形成される入出力端子がダイソート端子部と入出力端子部とからなり、入出力端子部にはバンプが形成されていることに特徴がある。また、少なくともこのダイソート端子部を構成する配線は、バリアメタル溶融液によって除去されない導電性の耐エッチング保護膜で被覆されていることを特徴としている。本発明では、半導体基板上にはバンプの形成されないテスト用のダイソート端子部とバンプが形成された接続用の入出力端子部とが混在している。入出力端子部は、アルミニウムなどからなる配線とその上のバンプとから構成されているのでバンプ－アルミニウム配線間に金属拡散防止用のバリアメタルが介在されている。一方ダイソート端子部は、アルミニウム配線のみからなるので、半導体基板の正面全面に形成されダイソート端子部にも形成されているバリアメタルはバリアメタル溶融液で除去しなければならない。

40

したがって、耐エッチング保護膜は、バリアメタルのエッティング除去時ににおいてアルミニウム配線も溶融されないようにダイソート端子部の配線を保護している。また、ダイソート時にアルミニウム配線の機械的な損傷を防いでいる。

50

【0008】即ち、請求項1の発明は、半導体装置において半導体基板と、前記半導体基板上に形成された複数の入出力端子とを備え、前記入出力端子は、前記半導体基板上の周辺領域に設けられたダイソート端子部と前記半導体基板上の内部領域に設けられ、バンプが形成されている入出力端子部とを有し、このダイソート端子部と入出力端子部とは電気的に接続されていることを特徴とする。請求項2の発明は、請求項1に記載の半導体装置において、前記半導体基板の前記周辺領域には前記半導体基板の辺に沿って入出力回路部が形成されており、前記ダイソート端子部は、この入出力回路部と前記半導体基板の辺との間に形成されていることを特徴とする。請求項3の発明は、請求項1又は請求項2に記載の半導体装置において、前記入出力端子部は、前記半導体基板上の内部領域において等間隔に配列されていることを特徴とする。請求項4の発明は、請求項3に記載の半導体装置において、前記入出力端子部は、略正方形であり、その対向する2辺に平行な中心線は、前記半導体基板の任意の辺に対して45度傾いていることを特徴とする。請求項5の発明は、請求項1乃至請求項4のいづれかに記載の半導体装置において、前記半導体基板上には金属配線から構成された多層配線が形成されており、この多層配線の前記入出力端子部と前記ダイソート端子部とを電気的に接続する配線には、この多層配線の所定の層の配線を用い、前記入出力端子部及び前記ダイソート端子部にはこの所定の層の配線より上層の配線を用いることを特徴とする。請求項6の発明は、請求項1乃至請求項5のいづれかに記載の半導体装置において、ダイソート端子部のない入出力端子部のみからなる入出力端子をさらに有することをする。

【0009】請求項7の発明は、請求項1乃至請求項6のいづれかに記載の半導体装置において、前記ダイソート端子部は、表面に導電性の耐エッチング性保護膜が被覆されている金属配線からなることを特徴とする。請求項8の発明は、請求項7に記載の半導体装置において、前記耐エッチング性保護膜は、前記バリアメタルをエッチングするエッティング液に対してこのバリアメタルより耐エッチング性が高いことを特徴とする。請求項9の発明は、半導体装置の製造方法において、半導体基板上に金属膜を形成する工程と、前記金属膜をバターニングして前記半導体基板の内部領域上に金属配線からなる複数の入出力端子部と、前記半導体基板の周辺領域上に金属配線からなり、この入出力端子部とは電気的に接続されているダイソート端子部とを形成する工程と、前記入出力端子部及び前記ダイソート端子部の前記金属配線上に導電性の耐エッチング性保護膜を形成する工程と、前記半導体基板上にバリアメタル形成用金属膜を形成する工程と、前記入出力端子部の上に前記耐エッチング性保護膜及び前記バリアメタル形成用金属膜を介してバンプを形成する工程と、前記バリアメタル形成用金属膜をバターニングして、前記入出力端子部の前記バンプと前記耐エッチング性保護膜との間にバリアメタルを形成する工程とを有することを特徴とする。

【0010】  
10 ングして、前記入出力端子部の前記バンプと前記耐エッチング保護膜との間にバリアメタルを形成する工程とを有することを特徴とする。請求項10の発明は、半導体装置の製造方法において、半導体基板上に金属膜を形成する工程と、前記金属膜上に導電性の耐エッチング保護膜を形成する工程と、前記金属膜及び前記耐エッチング保護膜をバターニングして前記半導体基板の内部領域上に前記耐エッチング保護膜で被覆された金属配線からなる複数の入出力端子部と、前記半導体基板の周辺領域上に前記耐エッチング保護膜で被覆された金属配線からなり、この入出力端子部とは電気的に接続されているダイソート端子部とを形成する工程と、前記半導体基板上にバリアメタル形成用金属膜を形成する工程と、前記入出力端子部の上に前記耐エッチング保護膜及び前記バリアメタル形成用金属膜を介してバンプを形成する工程と、前記バリアメタル形成用金属膜をバターニングして、前記入出力端子部の前記バンプと前記耐エッチング保護膜との間にバリアメタルを形成する工程とを有することを特徴とする。

【0011】  
20 【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。まず、図1乃至図4を参照して第1の実施例を説明する。図1は、半導体装置が形成された半導体基板正面の入出力端子構造を示す平面図、図2は、入出力端子の構造を説明する半導体基板の断面図、図3及び図4は半導体装置の製造工程断面図である。半導体基板1には、入出力端子及び入出力回路が形成されている。半導体基板1の正面は、集積回路が形成されている内部領域部1aと入出力回路11が形成されている周辺領域1bに分けられる。入出力回路11は、両領域の境界に配置されている。入出力端子は、周辺領域1bに配置され、バンプの形成されないテスト用のダイソート端子部101と内部領域1aに配置され、バンプが形成された接続用の入出力端子部102とから構成されている。ダイソート端子部101と入出力端子部102とは、例えば、両端子部を構成する金属配線より下層の接続配線103により電気的に接続されている。バンプ3は、例えば、厚さが100μmであり、鉛や錫などが含有された低融点はんだから構成されている。

【0012】  
30 図2は、入出力端子の内部構造を示す半導体基板の断面図である。例えば、n型シリコン半導体基板1の正面には熱酸化膜などの絶縁膜14に被覆されている。絶縁膜14の上には、例えば、第2層目のアルミニウム配線15が形成されている。このアルミニウム配線15は、絶縁膜14に形成した開口部を介して半導体基板1の表面領域の素子領域に形成された、例えば、p型不純物拡散領域13に電気的に接続されている。第2層目のアルミニウム配線15は、CVDSiO<sub>x</sub>などの層間絶縁膜4によって被覆されている。層間絶縁膜4の上にはパッド7となる第3層目のアルミニウム配線が形

40 50

成されている。第3層目のアルミニウム配線の表面全面には導電性の耐エッチング保護膜16が形成されている。ダイソート端子部101のパッド7と入出力端子部102のパッド7とはいづれも層間絶縁膜4に形成した開口部を介して第2層目のアルミニウム配線15に電気的に接続されている。したがって、ダイソート端子部101と入出力端子部102とは電気的に接続されている。この第3層目のアルミニウム配線は、SiO<sub>2</sub>の保護絶縁膜5によって被覆されている。保護絶縁膜5に開口部を形成し、ダイソート端子部101及び入出力端子部102をこの開口部に形成する。ダイソート端子部101は、耐エッチング性保護膜16が露出され、入出力端子部102は、耐エッチング性保護膜16の上にバリアメタル9が形成され、バリアメタル9の上にバンプ3が形成されている。すなわち、ダイソート端子部101にはバンプを取り付けておらず、入出力端子部102にはバンプを設けている。

【0012】図9に示すように半導体基板1上の複数のバンプ3は、回路基板の表面に形成された配線パターンに接続された基板パッドに電気的に接続することによって回路基板にチップが搭載される。この回路基板には少なくとも1つのチップが搭載される。このように、半導体基板上にはバンプの形成されないテスト用のダイソート端子部とバンプが形成された接続用の入出力端子部とが混在しており、ダイソート端子部と入出力端子部とで1つの入出力端子を構成している。入出力端子部は、アルミニウムなどからなる配線とその上のバンプとから構成されているのでバンプーアルミニウム配線間に金属拡散防止用のバリアメタル介在されている。一方ダイソート端子部は、アルミニウム配線のみからなるので、半導体基板の正面全面に形成されダイソート端子部にも形成されているバリアメタルはバリアメタル溶融液で除去しなければならない。したがって、耐エッチング保護膜は、バリアメタルのエッティング除去時においてアルミニウム配線も溶融されないようにダイソート端子部の配線を保護している。また、ダイソート時にアルミニウム配線の機械的な損傷を防いでいる。ダイソート端子部は、半導体基板の周辺領域に配置されているので、ダイソート時に従来のプローブカードを有効に利用することができる。

【0013】次に、図3及び図4を参照してこの実施例の半導体装置の製造方法を説明する。図は、ダイソート端子部と入出力端子部とを電気的に接続する金属配線（第2層目のアルミニウム配線）の表示は省略している。半導体基板1を被覆するSiO<sub>2</sub>などの絶縁膜4の上に形成した厚さ500nm程度のアルミニウム金属膜をバターニングして、例えば、第3層目のアルミニウム配線を形成する。そして、このアルミニウム配線の所定の部分をほぼ正方形のパッド（パッド）7とする。絶縁膜4とその上の第3層目のアルミニウム配線をSiO<sub>2</sub>

などの保護絶縁膜5で被覆する。そして、この絶縁膜5をバターニングしてパッド7を露出させる開口部を形成する（図3（a））。次に、露出している各パッド7の上に導電性の耐エッチング保護膜16を形成する。耐エッチング保護膜16は、例えば、窒化チタン（TiN）からなり、厚さは、約50nmである。この耐エッチング保護膜の厚さは、30nm以上は必要であり、とくに約30～50nmなら機械的強度の上からも有効な範囲である。また、この耐エッチング保護膜は、TiN以外にもTiSiなどの他の窒化物が適当である（図3（b））。

【0014】次に、耐エッチング保護膜16を含む絶縁膜5の上にバリアメタル形成用金属膜を形成する。半導体基板1の内部領域に形成された入出力端子部のパッド7上に前記耐エッチング保護膜16及び前記バリアメタル形成用金属膜を介してバンプ3を形成する（図4（a））。次に、バリアメタル形成用金属膜をバターニングして、入出力端子部102のバンプ3と耐エッチング保護膜16との間にバリアメタル9を形成するとともにダイソート端子部101上のバリアメタル形成用金属膜を除去する。このようにして、バンプのないダイソート端子部101が半導体基板1の周辺領域に形成され、バンプ3を取り付けた入出力端子部102がその内部領域に形成される。バリアメタル形成用金属膜は、例えば、Ti/TiWからなり、Tiの厚さは、100nm、TiWの厚さは500nmである。この金属膜をバターニングするため用いるバリアメタル溶融液（エッティング液）は、例えば、HCl-HNO<sub>3</sub>-CH<sub>3</sub>COOHの混合酸、希HFなどがある。バリアメタルとしてはこのほかにPd/Ni/TiやTiWなどがある。前記耐エッチング保護膜のTiN、TiSiなどの金属窒化膜から構成された前記耐エッチング保護膜は、これらバリアメタル溶融液に対して耐性が大きい。バリアメタルがPd/Ni/Tiの場合、Pd/Niは、HCl-HNO<sub>3</sub>-CH<sub>3</sub>COOHの混合酸でエッティングされ、Tiは、希HFでエッティングされる。TiWの場合、希HFでエッティングされる。

【0015】ダイソート端子部は、耐エッチング保護膜で被覆されたアルミニウム配線のみからなり、バンプがないので半導体基板の正面全面に形成されダイソート端子部にも形成されているバリアメタル形成用金属膜は、バリアメタル溶融液で除去しなければならないが、この耐エッチング保護膜がバリアメタルのエッティング除去時においてアルミニウム配線をも溶融されないようにダイソート端子部を保護している。次に、図5及び図6を参照して第2の実施例の半導体装置の製造方法を説明する。図は、ダイソート端子部と入出力端子部とを電気的に接続する金属配線（第2層目のアルミニウム配線）の表示は省略している。半導体基板1を被覆するSiO<sub>2</sub>などの絶縁膜4の上に形成した厚さ800nm程度のア

ルミニウム金属膜及び耐エッティング保護膜となるTiN膜をバターニングして、厚さ100nm程度の耐エッティング保護膜16で被覆された、例えば、第3層目のアルミニウム配線を形成する。そして、このアルミニウム配線の所定の部分をほぼ正方形のパッド(パッド)7とする(図5(a))。次に、絶縁膜4とその上の第3層目のアルミニウム配線をSiO<sub>2</sub>などの保護絶縁膜5で被覆する。そして、この絶縁膜5をバターニングしてパッド7の上の耐エッティング保護膜16を露出させる開口部を形成する(図5(b))。

【0016】次に、耐エッティング保護膜16を含む絶縁膜5の上にバリアメタル形成用金属膜を形成する。半導体基板1の内部領域に形成された入出力端子部のパッド7上に前記耐エッティング保護膜16及び前記バリアメタル形成用金属膜を介してバンプ3を形成する(図6(a))。次に、バリアメタル形成用金属膜をバターニングして、入出力端子部102のバンプ3と耐エッティング保護膜16との間にバリアメタル9を形成するとともにダイソート端子部101上のバリアメタル形成用金属膜を除去する。このようにして、バンプのないダイソート端子部101が半導体基板1の周辺領域に形成され、バンプ3を取り付けた入出力端子部102がその内部領域に形成される。バリアメタル形成用金属膜は、例えば、Ti/TiWからなり、Tiの厚さは、100nm、TiWの厚さは500nmである。この金属膜をバターニングするために用いるバリアメタル溶融液(エッティング液)は、希HFを用いる。

【0017】ダイソート端子部は、耐エッティング保護膜で被覆されたアルミニウム配線のみからなり、バンプがないので半導体基板の正面全面に形成されダイソート端子部にも形成されているバリアメタル形成用金属膜は、バリアメタル溶融液で除去しなければならないが、この耐エッティング保護膜がバリアメタルのエッティング除去時においてアルミニウム配線をも溶融されないようにダイソート端子部を保護している。

【0018】次に、図7を参照して第3の実施例を説明する。図は、半導体装置が形成された半導体基板正面の入出力端子構造を示す平面図である。半導体基板1には、入出力端子及び入出力回路が形成されている。半導体基板1の正面は、集積回路が形成されている内部領域部1aと入出力回路11が形成されている周辺領域1bに分けられる。入出力回路11は、両領域の境界に配置されている。入出力端子は、周辺領域1bに配置され、バンプの形成されないテスト用のダイソート端子部101と内部領域1aに配置され、バンプが形成された接続用の入出力端子部102とから構成されている。ダイソート端子部101と入出力端子部102とは、例えば、両端子部を構成する金属配線より下層の金属配線103により電気的に接続されている。半導体基板1は、実質的に正方形である。また、入出力端子の入出力端子部の

形状も正方形である。図1に示す第1の実施例では各入出力端子部は、その任意の辺は半導体基板1に近接している辺とは平行になるように配置されている。しかし、この実施例では各入出力端子部は、その対向する2辺と平行な中心線が半導体基板1の対角線と平行になるように配置されている。各入出力端子部をこのように配置することによりダイソート端子部と入出力端子部とを接続する接続手段の配線が容易になる。

【0019】次に、図8を参照して第4の実施例を説明する。図は、半導体装置が形成された半導体基板正面の入出力端子構造を示す平面図である。半導体基板1には、入出力端子及び入出力回路が形成されている。半導体基板1の正面は、集積回路が形成されている内部領域部1aと入出力回路11が形成されている周辺領域1bに分けられる。入出力回路11は、両領域の境界に配置されている。入出力端子は、周辺領域1bに配置され、バンプの形成されないテスト用のダイソート端子部101と内部領域1aに配置され、バンプが形成された接続用の入出力端子部102とから構成されている。ダイソート端子部101と入出力端子部102とは、例えば、両端子部を構成する金属配線より下層の金属配線103により電気的に接続されている。半導体基板1は、実質的に正方形であり、入出力端子の入出力端子部の形状も正方形である。この実施例では各入出力端子部は、その対向する2辺と平行な中心線が半導体基板1の対角線と平行になるように配置されており、このように配置することによりダイソート端子部と入出力端子部とを接続する接続手段の配線を容易にしている。この実施例では、半導体基板にダイソート端子部の無い入出力端子が形成されている。この半導体基板にはスキャン回路が内蔵されているのでダイソート時にすべての入出力端子にプローブ針を当てる必要はない。したがって接続用の入出力端子部のみからなる入出力端子を設けることができる。

#### 【0020】

【発明の効果】本発明は、以上のような構成により従来のプローブカードを用いてもダイソートが容易に行うことができる。半導体基板上にはバンプの形成されないテスト用のダイソート端子部とバンプが形成された接続用の入出力端子部とが混在している。入出力端子部は、アルミニウムなどからなる配線とその上のバンプとから構成されているのでバンプーアルミニウム配線間には金属拡散防止用のバリアメタルが介在されている。一方ダイソート端子部は、アルミニウム配線のみからなるので半導体基板の正面全面に形成されダイソート端子部にも形成されているバリアメタルはバリアメタル溶融液で除去しなければならない。耐エッティング保護膜は、バリアメタルのエッティング除去時においてアルミニウム配線も溶融されないようにダイソート端子部の配線を保護している。また、ダイソート時に金属配線の機械的な損傷を防いでいる。

## 【図面の簡単な説明】

- 【図1】本発明の第1の実施例の半導体装置の平面図。  
 【図2】図1の半導体装置の入出力端子構造を示す断面図。  
 【図3】第1の実施例の半導体装置の製造工程断面図。  
 【図4】第1の実施例の半導体装置の製造工程断面図。  
 【図5】第2の実施例の半導体装置の製造工程断面図。  
 【図6】第2の実施例の半導体装置の製造工程断面図。  
 【図7】第3の実施例の半導体装置の平面図。  
 【図8】第4の実施例の半導体装置の平面図。  
 【図9】従来の回路基板に搭載した半導体装置の断面図。  
 【図10】従来の半導体装置の平面図。  
 【図11】従来の半導体装置の入出力端子の断面図。

\* 【図12】従来の半導体装置の断面図。

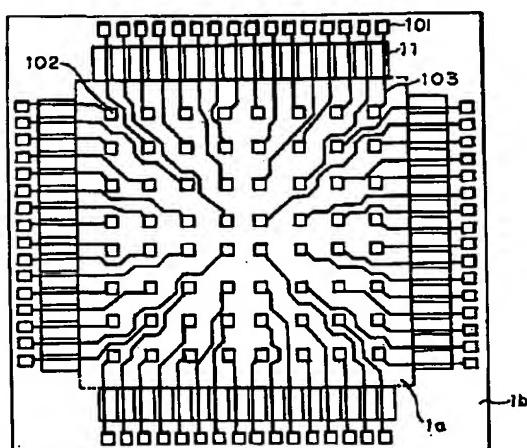
【図13】従来の半導体装置の平面図。

## 【符号の説明】

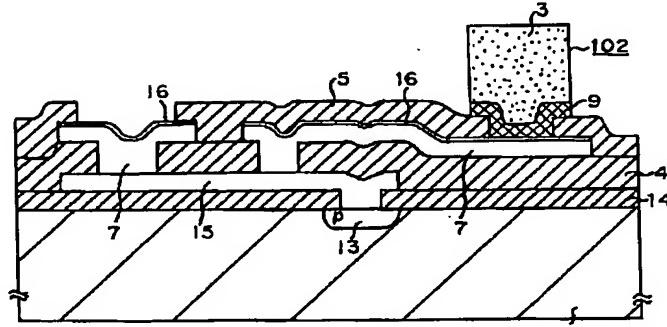
- 1 … 半導体基板、 2 … 回路基板、 3 …  
 バンブ、 4、 5、 14 … 絶縁膜、 6 …  
 プローブ針、 7 … パッド、 8 … 基板パッ  
 ド、 9 … バリアメタル、 10 … 入出力端  
 子、 11 … 入出力回路、 12 … プローブカ  
 ード、 13 … 不純物拡散領域、 15 … 第2  
 層目の金属配線、 16 … 耐エッチング保護膜、  
 20 … 集積回路、 101 … 入出力端子部、  
 102 … ダイソート端子部、 103 … 金属  
 配線。  
 10

\*

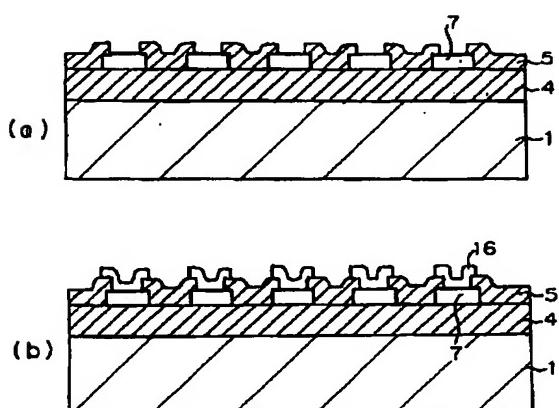
【図1】



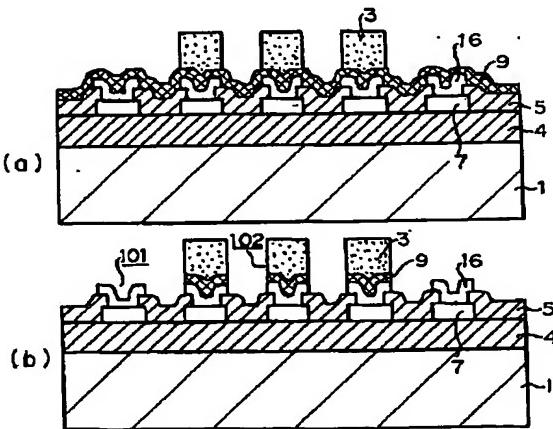
【図2】



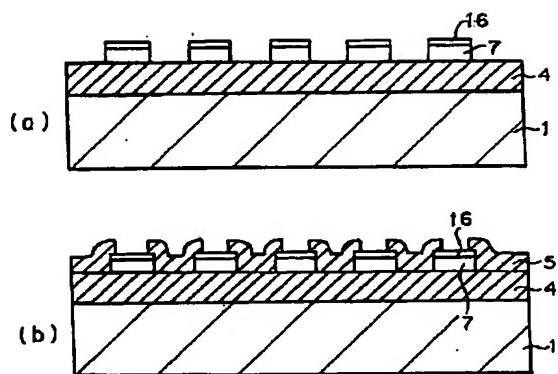
【図3】



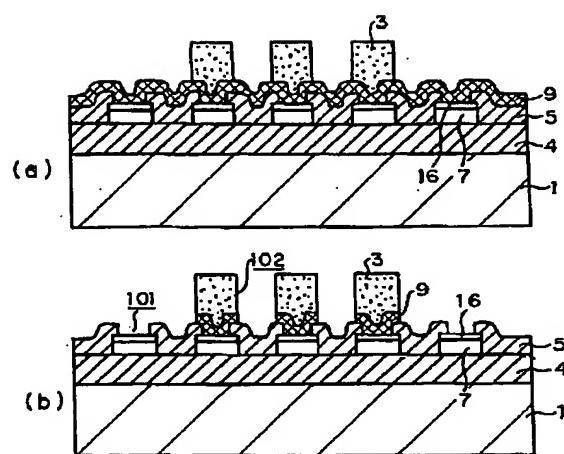
【図4】



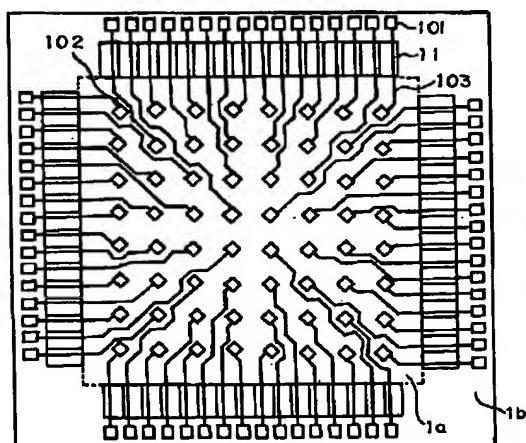
【図5】



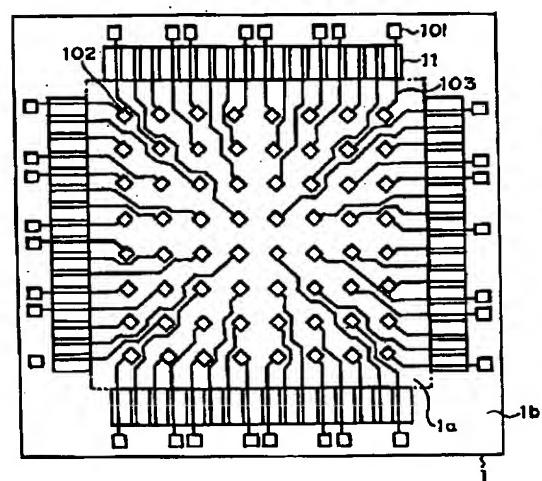
【図6】



【図7】



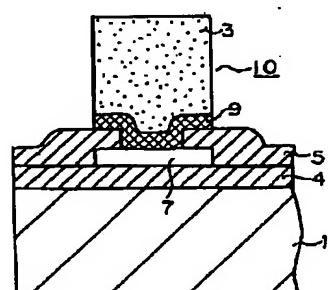
【図8】



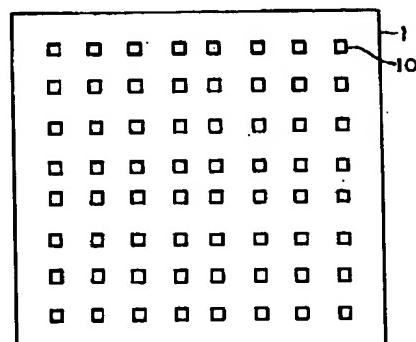
【図9】



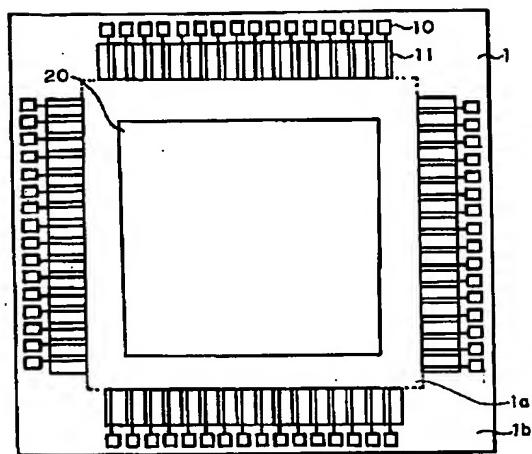
【図11】



【図13】



【図10】



【図12】

